

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PR
S/30/01

Docket No.: 50090-303

PATENT

10974 U.S. PTO
09/09/01 09:38:08
06/29/01



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Yoshinobu SASAKI

Serial No.: Group Art Unit:

Filed: June 28, 2001 Examiner:

For: HIGH-FREQUENCY CIRCUIT DEVICE

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2000-382593, filed December 15, 2000

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Becker
Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:prp
Date: June 29, 2001
Facsimile: (202) 756-8087

G394W

50090-303

Y. SASAKI

June 29, 2001

日本特許庁 *McDermott, Will & Emery*

日本特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.



出願年月日
Date of Application: 2000年12月15日

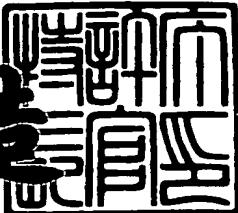
出願番号
Application Number: 特願2000-382593

出願人
Applicant(s): 三菱電機株式会社

2001年 1月19日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3112405

【書類名】 特許願
【整理番号】 527328JP01
【提出日】 平成12年12月15日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/00
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 佐々木 善伸
【特許出願人】
【識別番号】 000006013
【氏名又は名称】 三菱電機株式会社
【代理人】
【識別番号】 100082175
【弁理士】
【氏名又は名称】 高田 守
【電話番号】 03-5379-3088
【選任した代理人】
【識別番号】 100066991
【弁理士】
【氏名又は名称】 葛野 信一
【電話番号】 03-5379-3088
【選任した代理人】
【識別番号】 100106150
【弁理士】
【氏名又は名称】 高橋 英樹
【電話番号】 03-5379-3088
【選任した代理人】
【識別番号】 100108372

【弁理士】

【氏名又は名称】 谷田 拓男

【電話番号】 03-5379-3088

【手数料の表示】

【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 高周波回路装置

【特許請求の範囲】

【請求項1】 信号入力端からの入力信号を、分岐部を介して複数の第1の線路に分配する分配回路と、

複数の第2の線路からの入力信号を、合流部を介して出力信号として合成し、信号出力端から出力する合成回路と、

上記分配回路の個別の第1の線路の一端と上記合成回路の個別の第2の線路の一端との間にそれぞれ配設されたトランジスタと、

このトランジスタと信号入力端との間、及びこのトランジスタと信号出力端との間に接続されたアイソレータと、

を備えた高周波回路装置。

【請求項2】 第1の線路及び第2の線路がインピーダンス変換回路を有するとともにアイソレータはトランジスタとインピーダンス変換回路との間に接続されたことを特徴とする請求項1記載の高周波回路装置。

【請求項3】 トランジスタと第1の線路及びトランジスタと第2の線路とはアイソレータを介して接続されるとともに、アイソレータのトランジスタ側のインピーダンスがトランジスタのインピーダンスに整合し、上記第1の線路側及び第2の線路側のインピーダンスの値がトランジスタ側のそれより高いことを特徴とする請求項1記載の高周波回路装置。

【請求項4】 アイソレータは分配回路の分岐部及び合成回路の合流部に配設されるとともに、分岐部に配設されたアイソレータはその出力ポートの両線路端をともに信号線路端としてそれが異なる第1の線路に接続され、合成部に配設されたアイソレータはその入力ポートの両線路端をともに信号線路端としてそれが異なる第2の線路に接続されたことを特徴とする請求項1記載の高周波回路装置。

【請求項5】 信号入力端からの入力信号を、分岐部を介して複数の第1のインピーダンス変換回路を有する複数の第1の線路に分配する分配回路と、

第2のインピーダンス変換回路を有する複数の第2の線路からの入力信号を、

合流部を介して出力信号として合成し信号出力端から出力する合成回路と、
上記分配回路の個別の第1の線路の一端と上記合成回路の個別の第2の線路の一端との間にそれぞれ配設されたトランジスタと、
このトランジスタと上記分配回路の分岐部との間または上記トランジスタと上記合成回路の合流部との間のいずれかに接続されたアイソレータと、
を備えた高周波回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、高周波回路装置に関するもので、特に移動体通信の端末装置に使用される高周波回路装置に関するものである。

【0002】

【従来の技術】

図13は従来の高出力増幅器の平面図である。また図14はこの高出力増幅器の等価回路を示す回路図である。

図13において、100は高出力増幅器、102は半導体基板、104はトランジスタ、106はインピーダンス変換回路である $\lambda/4$ 電気長のマイクロストリップ線路、108は信号入力端子、110は信号出力端子、112はバイアホールである。高出力増幅器100のチップサイズは通常1~10数mm角であることが多く、半導体基板102の裏面は接地導体が形成されている。基板厚は30~150μm程度である。

【0003】

高出力増幅器100の基本素子となる高出力のトランジスタ104は一般に入出力インピーダンスが非常に低い(25Ω以下)ことに加えて、出力電力を大きくするために複数のトランジスタを並列に配置するのが通例であるので、さらにインピーダンスが低くなる。

これに対して、外部回路の特性インピーダンスは50Ωが標準とされているため両者のインピーダンスを整合させる手段が必要となる。この目的で使用されるのが、 $\lambda/4$ 電気長のマイクロストリップ線路をインピーダンス変換回路として

用いる方法である。

【0004】

図14に示すように、仮にトランジスタ104単体の入力インピーダンスが 1Ω である場合は、このトランジスタ104に隣接した $\lambda/4$ 電気長のマイクロストリップ線路で 50Ω に変換し、それを合成する。これで特性インピーダンスは半分の 25Ω となるため、信号入力端子108に隣接した $\lambda/4$ 電気長のマイクロストリップ線路で 50Ω に変換し、外部回路と整合をはかるという方法である。この方法は設計誤差が少なく、コンデンサやインダクタが不要であるため高出力増幅器において一般に用いられている。

【0005】

【発明が解決しようとする課題】

しかしながら、上記のような $\lambda/4$ 電気長のマイクロストリップ線路をインピーダンス変換回路として用いる方法には以下のような問題点があった。

まず、図13に示した構成では、図14に示したような不要発振ループが形成されやすく、発振を起こしやすくなる。この不要発振ループができにくくするためににはトランジスタのアイソレーション（逆方向伝達特性）を順方向利得よりも大きくすればよいが、一般にトランジスタのアイソレーションは周波数が高くなるにつれて悪化し、これを確保することが困難になる。例えば動作周波数が仮に 5GHz として、 5GHz における高出力トランジスタの利得が $15\sim25\text{dB}$ であるのに対して、アイソレーションは $-20\sim-30\text{dB}$ であり両者の差は十分とはいえない。

【0006】

さらに、図13に示した構成では、入力側整合回路と出力側整合回路にそれぞれ3つずつの $\lambda/4$ 電気長のマイクロストリップ線路を必要とする。

動作周波数が仮に 5GHz 、半導体基板102上での波長短縮率を $1/2.5$ とすると、 $\lambda/4$ 電気長のマイクロストリップ線路は長さが 6mm 必要になり、これを6本使用した場合、チップサイズは最小でも 10数mm角 となり、小型化・低コスト化の障害となることがある。特に移動体通信の情報端末用として使用される場合、特に携帯電話器などにおいては、小型・低コストが設計の大きな考

慮事項であり、その設計的要要求を満たすことが困難になる場合があった。

【0007】

この発明は上記のような問題点を解消するためになされたもので、第1の目的は、不要発振の起きにくい高周波回路装置を得ることであり、第2の目的は小型・低コストの高周波回路装置を得ることを目的としている。

なお、特開昭64-1301号公報にMICアイソレータの記載があるが、分配／合成回路に使用した記載はない。

【0008】

【課題を解決するための手段】

この発明に係る高周波回路装置は、信号入力端からの入力信号を、分岐部を介して複数の第1の線路に分配する分配回路と、複数の第2の線路からの入力信号を、合流部を介して出力信号として合成し、信号出力端から出力する合成回路と、分配回路の個別の第1の線路の一端と合成回路の個別の第2の線路の一端との間にそれぞれ配設されたトランジスタと、このトランジスタと信号入力端との間、及びこのトランジスタと信号出力端との間に接続されたアイソレータと、を備えたもので、この構成により不要発振ループを構成し難くすることができる。

【0009】

さらに、第1の線路及び第2の線路がインピーダンス変換回路を有するとともにアイソレータをトランジスタとインピーダンス変換回路との間に接続したもので、利得を高くし、信号の反射を少なくすることができる。

【0010】

またさらに、トランジスタと第1の線路及びトランジスタと第2の線路とはアイソレータを介して接続されるとともに、アイソレータのトランジスタ側のインピーダンスをトランジスタのインピーダンスに整合させ、第1の線路側及び第2の線路側のインピーダンスの値をトランジスタ側のそれより高くしたもので、この構成により、必要な基板面積を少なくすることができる。

【0011】

またさらに、アイソレータを分配回路の分岐部及び合成回路の合流部に配設するとともに、分岐部に配設されたアイソレータはその出力ポートの両線路端をと

もに信号線路端としてそれぞれが異なる第1の線路に接続し、合成部に配設されたアイソレータはその入力ポートの両線路端とともに信号線路端としてそれぞれが異なる第2の線路に接続したもので、アイソレータの個数を減らすことができ、必要な基板面積を一層少なくすることができる。

【0012】

また、信号入力端からの入力信号を、分岐部を介して複数の第1のインピーダンス変換回路を有する複数の第1の線路に分配する分配回路と、第2のインピーダンス変換回路を有する複数の第2の線路からの入力信号を、合流部を介して出力信号として合成し信号出力端から出力する合成回路と、分配回路の個別の第1の線路の一端と合成回路の個別の第2の線路の一端との間にそれぞれ配設されたトランジスタと、このトランジスタと分配回路の分岐部との間またはトランジスタと合成回路の合流部との間のいずれかに接続されたアイソレータと、を備えた不要発振ループを構成しにくくするとともに、アイソレータの個数を少なくすることにより、必要な基板面積を少なくすることができる。

【0013】

【発明の実施の形態】

実施の形態1.

この実施の形態1は、入力インピーダンス変換回路としての $\lambda/4$ 電気長のマイクロストリップ線路とトランジスタとの間、及び出力インピーダンス変換回路としての $\lambda/4$ 電気長のマイクロストリップ線路との間に、入出力インピーダンスが一定のアイソレータを接続し、アイソレーションを高くしたものである。

図1は実施の形態1に係る高出力増幅器の平面図である。また図2は図1の高出力増幅器の等価回路を示す回路図である。

【0014】

図1において、10は高出力増幅器で、高出力増幅器10はMMICチップの構成をしている。12は半導体基板で、例えばGaAs、InP、Siなどで、チップサイズは1~10数mm角、基板厚みは30~150μmである。半導体基板12の裏面にはAuなどの接地導体(図示せず)が形成されている。14は半導体基板12に配設されたトランジスタで、ここではFETを用いている。1

6は半導体基板12に配設された分配回路で、16aはこの分配回路16の分歧部、16bは分配回路16の分歧部16aから分岐している複数の第1の線路で、ここでは2本に分岐している。16cは第1の線路16bを構成するインピーダンス変換回路で、例えば低インピーダンスマイクロストリップ線路、すなわち $\lambda/4$ 電気長のマイクロストリップ線路である。

【0015】

18は半導体基板12に配設された合成回路で、18aはこの合成回路18の合流部、18bは合成回路18の合流部18aに合流する支線をなす第2の線路、18cは第2の線路18bを構成するインピーダンス変換回路で、例えば低インピーダンスマイクロストリップ線路、すなわち $\lambda/4$ 電気長のマイクロストリップ線路である。

20は分配回路16に信号を印加する信号入力端で、22は合成回路18から信号を出力する信号出力端である。

【0016】

24はアイソレータで、26はアイソレータ24を構成するサーキュレータ、28は終端抵抗である。30はバイアホールで半導体基板12表面の回路から半導体基板12裏面の接地導体に接続している。

アイソレータ24は、トランジスタ14の信号入力側ではその入出力ポートがトランジスタ14の制御電極としてのゲートと $\lambda/4$ 電気長のマイクロストリップ線路16cとの間に、またトランジスタ14の信号出力側ではその入出力ポートがトランジスタ14のドレン電極と $\lambda/4$ 電気長のマイクロストリップ線路18cとの間に接続され、終端抵抗28がバイアホール30と接続されている。

【0017】

図3はこの実施の形態1に係るアイソレータ24を構成するサーキュレータ26の内部の構成を示す模式図である。また図4はサーキュレータ26における高周波信号の流れを示す模式図である。

図3において、サーキュレータ26は一般的に信号を入出力する部分である三つのポート、すなわち第1ポート32、第2ポート34、及び第3ポート36を有する。この第1ポート32、第2ポート34、及び第3ポート36の信号線路

はマイクロストリップ線路で構成され、それぞれ信号線路38(38a, 38b)、信号線路40(40a, 40b)及び信号線路42(42a, 42b)である。

【0018】

また44, 46及び48はインピーダンス整合用のキャパシタである。50はフェライトで、磁界を印加する磁石を構成している。

サーチュレータ26の信号線路38, 40、及び42の一方の信号線路は接地されており、図4では例えば信号線路38b、信号線路40bおよび信号線路42bが接地されている。

【0019】

図4において、第1ポート32に入力された信号は第2ポート34に出力し、第2ポート34に入力された信号は第3ポート36に出力し、第3ポート36に入力された信号は第1ポート32に出力するようになっている。

このサーチュレータ26の一つのポート、例えば第3ポートが終端抵抗に接続されたものはアイソレータと呼ばれる。

図5はこの発明に係るアイソレータにおける高周波信号の流れを示す模式図である。

【0020】

図5において、24はアイソレータである。図4と同じ符号は同じものか相当のものである。以下の各図においても同じ符号は同じものか相当のものである。

図5のアイソレータ24は、サーチュレータ26の第3ポート36の信号線路42aが終端抵抗28と接続されている。アイソレータ24では第1ポート32に印加された信号は第2ポート34に出力されるが、第2ポート34に印加された信号は第3ポート36の終端抵抗28に出力されるためにそこで消耗される。終端抵抗28からは信号は発生しないため、第1ポート32には信号が出力されない。従ってアイソレータ24は高周波信号の一方通行を実現し、通例そのアイソレーションの値は-15dB~-20dBである。

【0021】

図6はこの発明に係るアイソレータ24のポート2から観測した場合の等価回

路を示す回路図である。

図6において、54は等価インダクタンス、56は等価抵抗で、特性インピーダンスと同一値である。

なおこの実施の形態1のアイソレータ24は入出力インピーダンスをトランジスタ14の入出力インピーダンスに整合させている。

図2に示したように、仮にトランジスタ14の入出力インピーダンスが 10Ω とすると、この場合はアイソレータ24の入出力インピーダンスも 10Ω に整合させている。そしてアイソレータ24は入出力インピーダンスは同じであるので、インピーダンス整合は $\lambda/4$ 電気長のマイクロストリップ線路16cにより行われる。

【0022】

すなわちアイソレータ24に隣接する第1の線路16bの $\lambda/4$ 電気長のマイクロストリップ線路16cで 50Ω に変換し、これを2本の第1の線路16bで合成すると特性インピーダンスは半分の 25Ω となるため、分岐部16aと信号入力端20との間の $\lambda/4$ 電気長のマイクロストリップ線路16cで 50Ω に変換し、外部回路との整合をはかっている。

【0023】

なおアイソレータ24に隣接する第1の線路16bを構成する $\lambda/4$ 電気長のマイクロストリップ線路16cで変換された後のインピーダンスは任意の値でかまわない。ただし、今の場合はトランジスタ14のインピーダンスが 10Ω でアイソレータ24の入出力インピーダンスも 10Ω に整合させており、またアイソレータ24に隣接する第1の線路16bが2本に分岐されているので、 10Ω 以上で 100Ω 以下である。

【0024】

ここではトランジスタ14の信号入力側について説明したが、信号出力側では少しインピーダンスが高くなるが、アイソレータ24及び $\lambda/4$ 電気長のマイクロストリップ線路18cのインピーダンスも同様に設定される。

この高出力増幅器10は、信号入力側の $\lambda/4$ 電気長のマイクロストリップ線路16cとトランジスタ14との間、及び信号出力側の $\lambda/4$ 電気長のマイクロ

ストリップ線路18cとトランジスタ14との間に、入出力インピーダンスが同じであるアイソレータ24を接続したことにより、アイソレーションが改善され、このため不要発振ループが構成しにくくなる。

【0025】

例えば、5GHzにおける高出力のトランジスタ14の利得は15dB~25dBであるのに対して、トランジスタのアイソレーションが-20dB、アイソレータ24の1個当たりのアイソレーションを-15dBとすると、トランジスタ1個当たりアイソレータ24が2個あるのでアイソレータ24のアイソレーションは-30dBとなり、トランジスタ14のアイソレーションと合計して-50dB以下であり、トランジスタ14の利得と比較して両者の差が十分確保されているため不要発振ループは成立せず、高出力増幅器10の安定動作が実現される。延いては信頼性の高い高出力増幅器10を構成することができる。

また高出力増幅器10ではトランジスタ14の前後にアイソレータ24を配置したがどちらか一方であってもよい。

【0026】

実施の形態2.

この実施の形態2は、入出力インピーダンス変換回路としての $\lambda/4$ 電気長のマイクロストリップ線路を使用せず、入力インピーダンスと出力インピーダンスが異なるアイソレータを、第1の線路とトランジスタとの間、及び第2の線路とトランジスタとの間に配設し、インピーダンス整合とアイソレーションの確保を行うものである。

図7は実施の形態2に係る高出力増幅器の平面図である。また図8は図7の高出力増幅器の等価回路を示す回路図である。

図7において、60は高出力増幅器である。この高出力増幅器60はMMICチップとして構成されている。

【0027】

実施の形態1では入力インピーダンスと出力インピーダンスとが同じ値のアイソレータを用いたが、この実施の形態2では入力インピーダンスと出力インピーダンスが異なる値を有するアイソレータを用いている。

アイソレータ24は、トランジスタ24の信号入力側ではその信号の入出力ポートがトランジスタ24の制御電極としてのゲートと第1の線路16bとの間に、またトランジスタ24の信号出力側ではその信号の入出力ポートがトランジスタ24のドレイン電極と第2の線路18bとの間に接続され、終端抵抗28がバイアホール30と接続されている。

【0028】

仮に、トランジスタ14のインピーダンスを 10Ω とすると、トランジスタ14のトランジスタ14側のインピーダンスはトランジスタ14に整合させ 10Ω に設定し、信号入力側の第1ポート32側のインピーダンスは 100Ω に設定されている。 100Ω に設定された第1ポート32側のインピーダンスは2本の第1の線路16bで合成されると、インピーダンスは半分の 50Ω となり、外部回路との整合がはかられる。

この高出力増幅器60では、アイソレータ24がインピーダンス整合を行っているので、インピーダンス整合回路、例えば $\lambda/4$ 電気長のマイクロストリップ線路を別に設ける必要が無く、チップサイズが $4 \sim 5\text{ mm角}$ 程度となり、インピーダンス整合回路を設けた場合に比べて、チップサイズを小さくすることができる。このため高出力増幅器60を小型化できるとともに高価な半導体基板を小さくすることができ安価に構成することができる。

【0029】

実施の形態3.

この実施の形態3は、アイソレータを、その入出力ポートのいずれか一方において、その両線路端をともに信号線路端とし、このアイソレータを分配回路の分岐部及び合成回路の合流部に配設し、分岐部に配設されたアイソレータをその出力ポートの両線路端をともに信号線路端としてそれが異なる第1の線路に接続し、合成部に配設されたアイソレータをその入力ポートの両線路端をともに信号線路端としてそれが異なる第2の線路に接続したものである。

【0030】

図9は実施の形態3に係る高出力増幅器の平面図である。また図10は図9の高出力増幅器の等価回路を示す回路図である。

図9において、62は高出力増幅器である。この高出力増幅器62はMMICチップで構成されている。

この実施の形態3では、分配回路16の分岐部16aと合成回路18の合流部18aにアイソレータ24が配設されている。

【0031】

図11はこの実施の形態3に係るアイソレータ24を構成するサーキュレータ26の内部の構成を示す模式図である。また図12はアイソレータ24における高周波信号の流れを示す模式図である。

実施の形態1及び2のアイソレータ24に使用したサーキュレータ26は、信号線路38、40、及び42の一方の信号線路が接地されており、図4では例えば38b、40bおよび42bが接地されている。

【0032】

これに対して、この実施の形態3では、分配回路16の分岐部16aに配設されたアイソレータ24のサーキュレータ26は、図11に示されるように、信号線路38及び42の一方の信号線路は接地されているが、信号線路40は40a、40bとも接地されていない。そして、分配回路16の分岐部16aに配設されたアイソレータ24は第1ポート32の信号線路38が信号入力端20に接続され、第2ポート34の信号線路40a、40bは互いに異なる第1の線路16bと接続され、トランジスタ14のゲート電極と接続されている。

【0033】

また合成回路18の合流部18aに配設されたアイソレータ24は、信号線路40及び42の一方の信号線路は接地されているが、信号線路38は38a、38bとも接地されていない。そして合成回路18の合流部18aに配設されたアイソレータ24は、第1ポート32の信号線路38a、38bは互いに異なる第2の線路18bと接続され、トランジスタ14のドレイン電極に接続されている。

分配回路16の分岐部16aに配設されたアイソレータ24、及び合成回路18の合流部18aに配設されたアイソレータ24は、ともに第3ポートの信号線42aが終端抵抗に接続されている。

【0034】

さらにこの実施の形態3のアイソレータは、入出力インピーダンスの値を変えるように調整され、トランジスタ側のインピーダンスがトランジスタ14のインピーダンスの値と整合するように形成され、もう一方の側のインピーダンスは回路の特性インピーダンスに整合している。例えば、トランジスタ側のインピーダンスが 10Ω でもう一方の側のインピーダンスは 50Ω とされている。

サーキュレータ26の信号の流れは図12に示されるように実施の形態1及び2と同様である。

【0035】

なお、この構成の高出力増幅器62はプッシュプル増幅器として動作する。以上のように高出力増幅器62においては、アイソレータ24をその入出力ポートのいずれか一方において、その両線路端とともに信号線路端とし、このアイソレータ24を分配回路16の分岐部16a及び合成回路18の合流部18aに配設し、分岐部16aに配設されたアイソレータ24をその出力ポートである第2ポート34の両線路端40a、40bとともに信号線路端としてそれぞれが互いに異なる第1の線路16bに接続し、合成部18aに配設されたアイソレータ24をその入力ポートである第1ポート32の両線路端38a、38bとともに信号線路端としてそれぞれが互いに異なる第2の線路18bに接続したもので、この構成によりアイソレータ24は最小2個あればよく、実施の形態2の場合よりもアイソレータ24の必要個数が少なくなり、チップの面積がさらに小さくすることが出来る。延いては小型でかつ不要発振ループが構成し難く信頼性の高い増幅器を構成することができる。

【0036】

なお以上の説明において、トランジスタとしてFETを用いた構成について説明したが、トランジスタとしてHBTやバイポーラトランジスタで構成しても同様の効果を奏する。

また、高出力増幅器はMMIC構成の増幅器を例示したが、ディスクリートトランジスタを用いたMIC構成の増幅器であっても同様の効果を有する。

またアイソレータとしてマイクロストリップ線路で構成したアイソレータを例

示したが同軸ケーブルを使用したアイソレータでもよい。またアイソレータはチップとして構成されたものでもよいし、あるいはMMIC上にモノリシックに形成されたアイソレータであっても同様の効果を有する。

【0037】

【発明の効果】

この発明に係る高周波回路装置は以上に説明したような構成を備えているので、以下のような効果を有する。

この発明に係る高周波回路装置によれば、信号入力端からの入力信号を、分岐部を介して複数の第1の線路に分配する分配回路と、複数の第2の線路からの入力信号を、合流部を介して出力信号として合成し、信号出力端から出力する合成回路と、分配回路の個別の第1の線路の一端と合成回路の個別の第2の線路の一端との間にそれぞれ配設されたトランジスタと、このトランジスタと信号入力端との間、及びこのトランジスタと信号出力端との間に接続されたアイソレータと、を備えたもので、この構成により不要発振ループを構成し難くすることができる。延いては信頼性の高い高周波回路装置を構成することができる。

【0038】

さらに、第1の線路及び第2の線路がインピーダンス変換回路を有するとともにアイソレータをトランジスタとインピーダンス変換回路との間に接続したもので、利得を高くし、信号の反射を少なくすることができる。延いては損失が少なく電力効率のよい高周波回路装置を構成することができる。

【0039】

またさらに、トランジスタと第1の線路及びトランジスタと第2の線路とはアイソレータを介して接続されるとともに、アイソレータのトランジスタ側のインピーダンスをトランジスタのインピーダンスに整合させ、第1の線路側及び第2の線路側のインピーダンスの値をトランジスタ側のそれより高くしたもので、この構成により、必要な基板面積を少なくすることができる。延いては小型で安価な高周波回路装置を構成することができる。

【0040】

またさらに、アイソレータを分配回路の分岐部及び合成回路の合流部に配設す

るとともに、分岐部に配設されたアイソレータはその出力ポートの両線路端をともに信号線路端としてそれぞれが異なる第1の線路に接続し、合成部に配設されたアイソレータはその入力ポートの両線路端をともに信号線路端としてそれぞれが異なる第2の線路に接続したもので、アイソレータの個数を減らすことができ、必要な基板面積を一層少なくすることができる。延いては小型で安価な高周波回路装置を構成することができる。

【0041】

また、信号入力端からの入力信号を、分岐部を介して複数の第1のインピーダンス変換回路を有する複数の第1の線路に分配する分配回路と、第2のインピーダンス変換回路を有する複数の第2の線路からの入力信号を、合流部を介して出力信号として合成し信号出力端から出力する合成回路と、分配回路の個別の第1の線路の一端と合成回路の個別の第2の線路の一端との間にそれぞれ配設されたトランジスタと、このトランジスタと分配回路の分岐部との間またはトランジスタと合成回路の合流部との間のいずれかに接続されたアイソレータと、を備えた不要発振ループを構成しにくくするとともに、アイソレータの個数を少なくすることにより、必要な基板面積を少なくすることができる。延いては信頼性が高く小型で安価な高周波回路装置を構成することができる。

【図面の簡単な説明】

【図1】 この発明に係る高出力増幅器の平面図である。

【図2】 図1の高出力増幅器の等価回路を示す回路図である。

【図3】 この発明に係るサーチュレータの内部の構成を示す模式図である。

【図4】 この発明に係るサーチュレータにおける高周波信号の流れを示す模式図である。

【図5】 この発明に係るアイソレータにおける高周波信号の流れを示す模式図である。

【図6】 この発明に係るアイソレータのポート2から観測した場合の等価回路を示す回路図である。

【図7】 この発明に係る高出力増幅器の平面図である。

【図8】 図7の高出力増幅器の等価回路を示す回路図である。

【図9】 この発明に係る高出力増幅器の平面図である。

【図10】 図9の高出力増幅器の等価回路を示す回路図である。

【図11】 この発明に係るサーキュレータの内部の構成を示す模式図である。

【図12】 この発明に係るアイソレータにおける高周波信号の流れを示す模式図である。

【図13】 従来の高出力増幅器の平面図である。

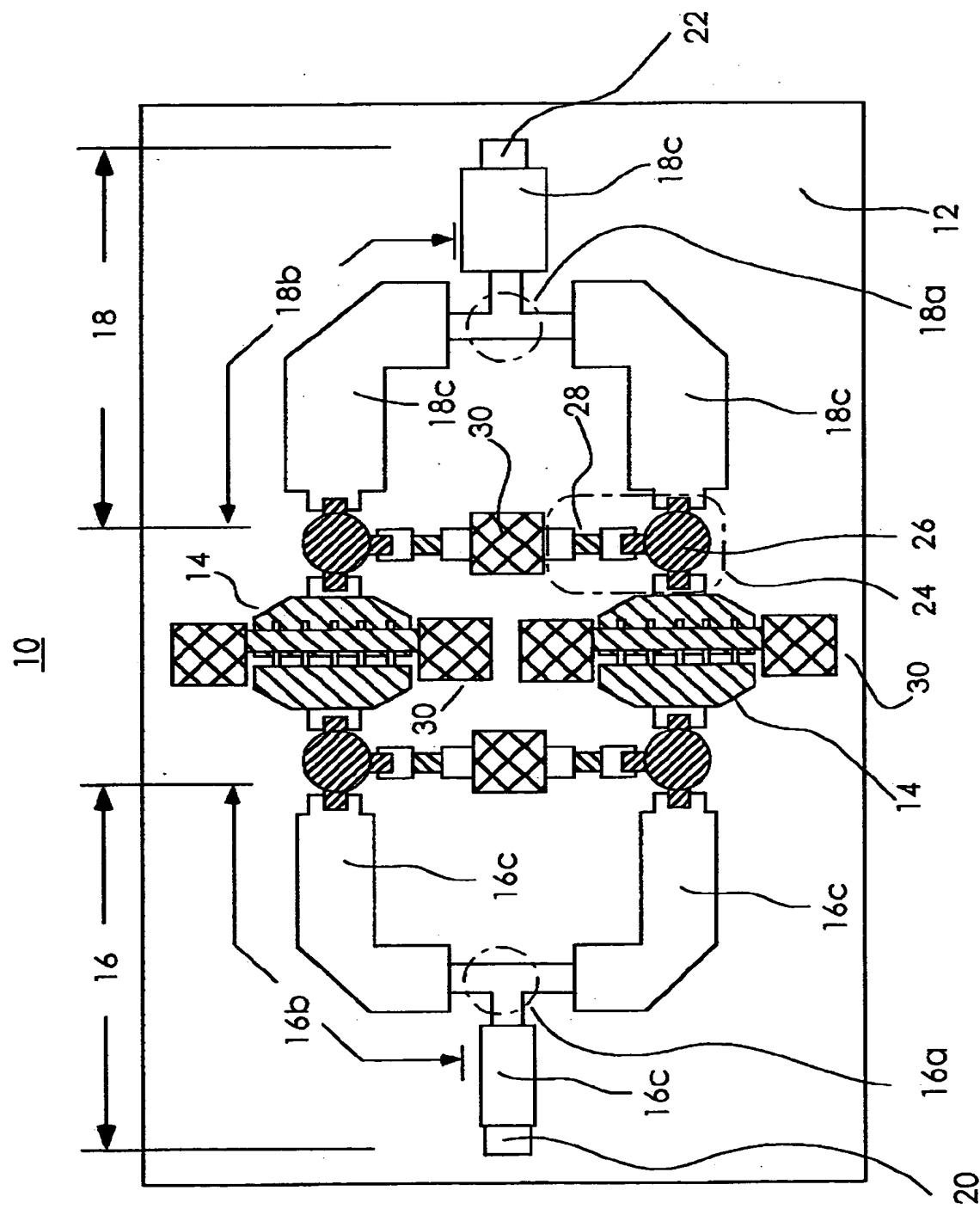
【図14】 従来の高出力増幅器の等価回路を示す回路図である。

【符号の説明】

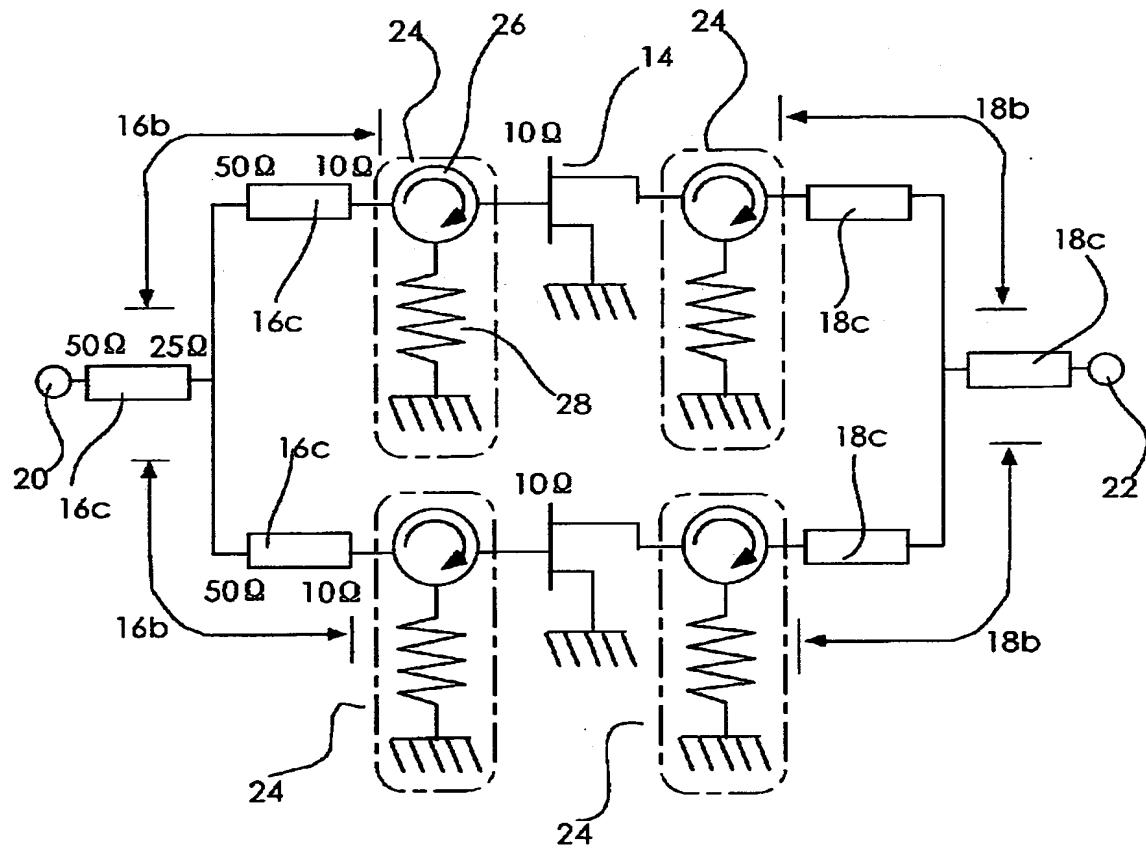
20 信号入力端、 16a 分岐部、 16b 第1の線路、 16
分配回路、 18b 第2の線路、 18a 合流部、 22 出力信
号端、 18 合成回路、 14 トランジスタ、 24 アイソレータ
、 16c、 18c $\lambda/4$ 電気長のマイクロストリップ線路。

【書類名】 図面

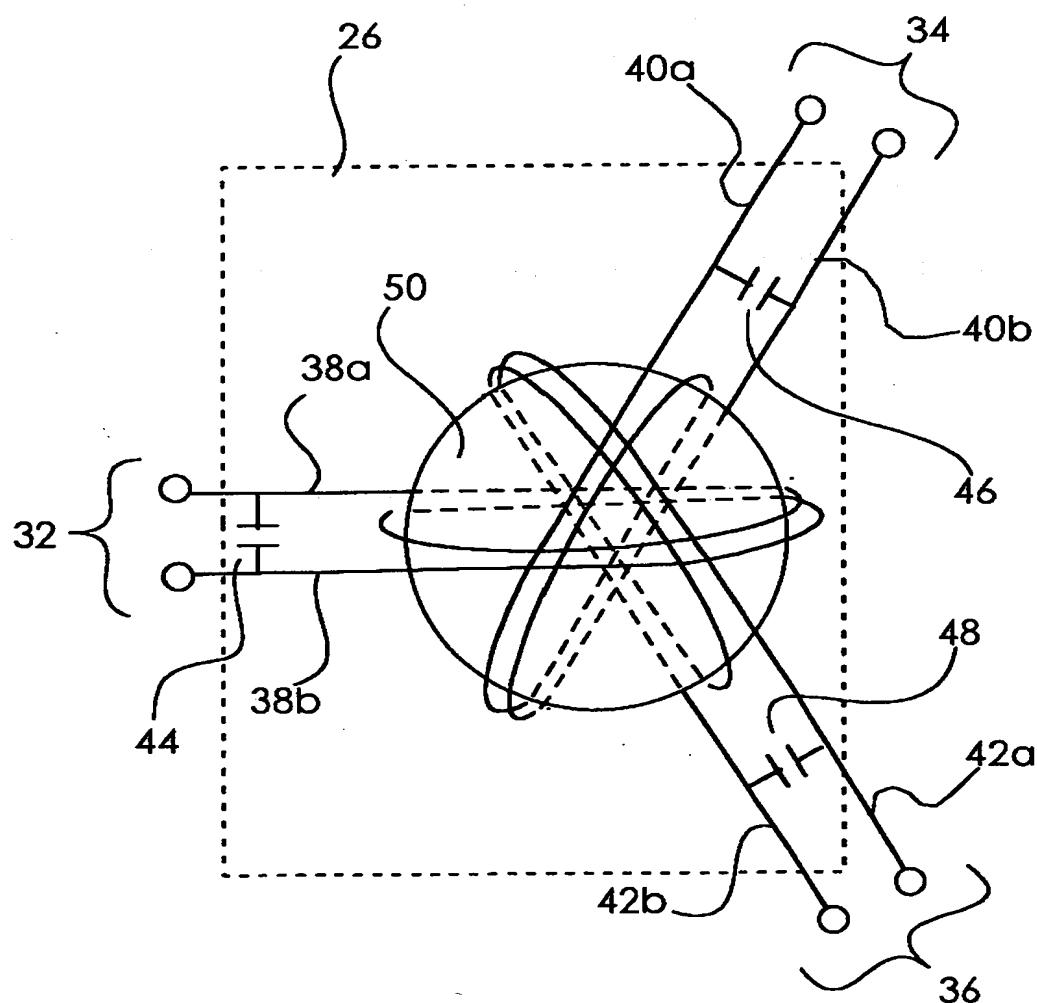
【図1】



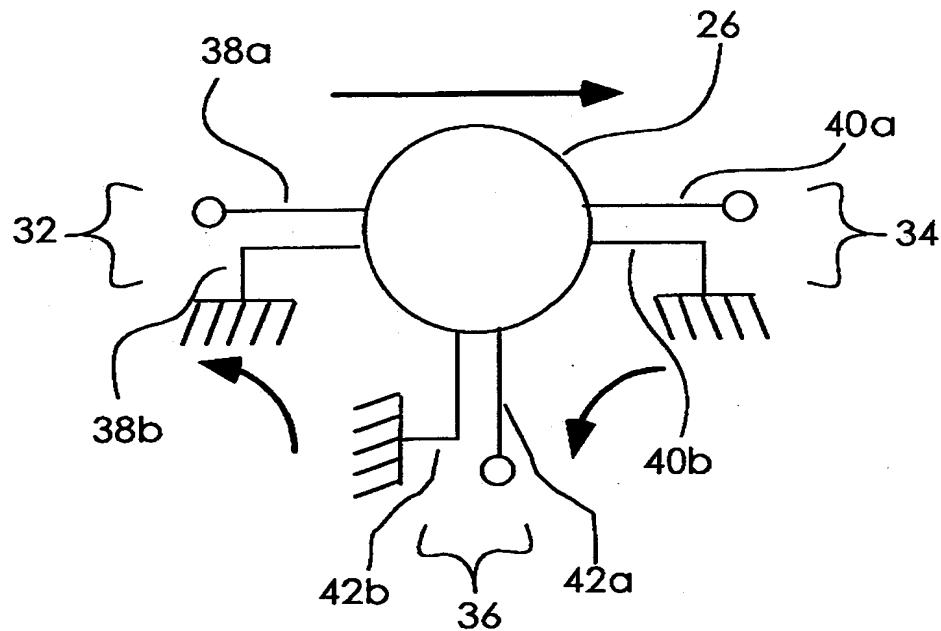
【図2】



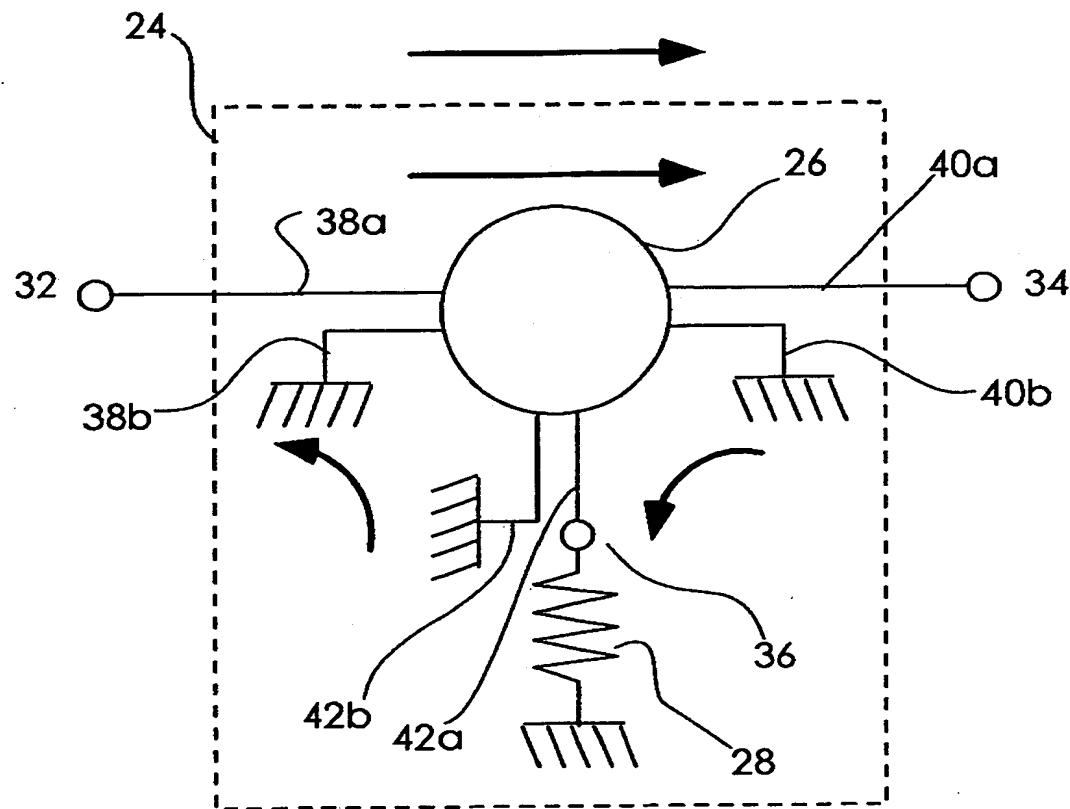
【図3】



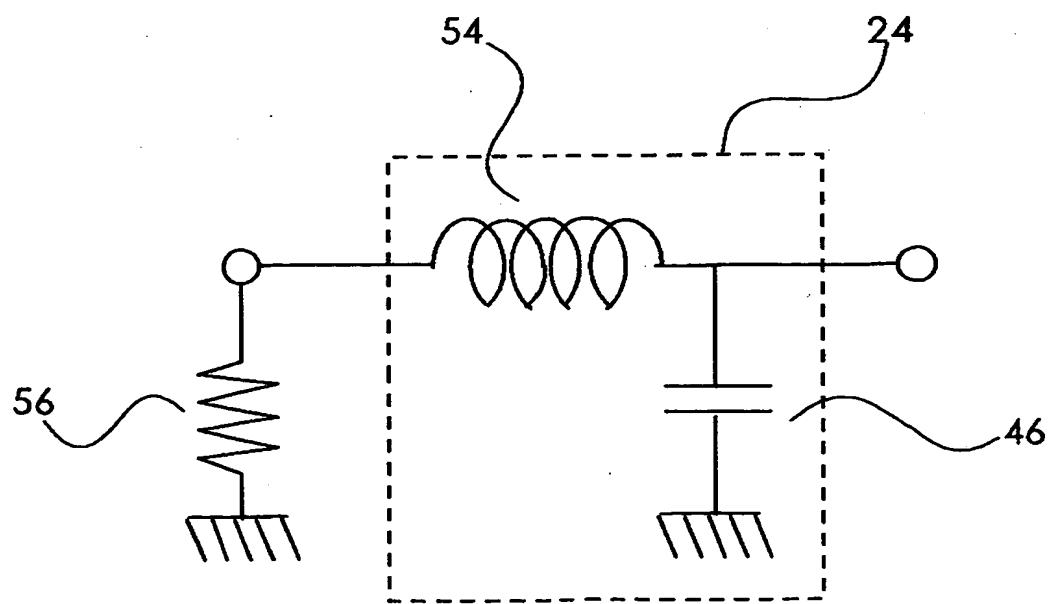
【図4】



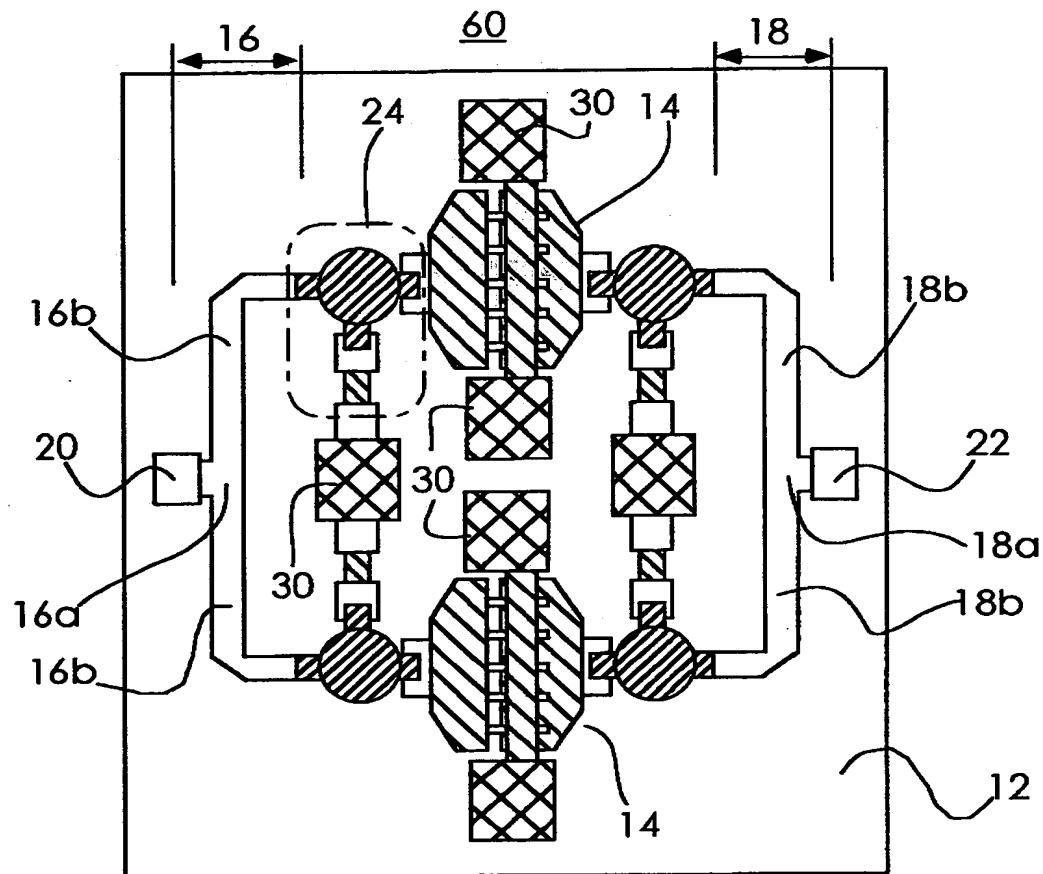
【図5】



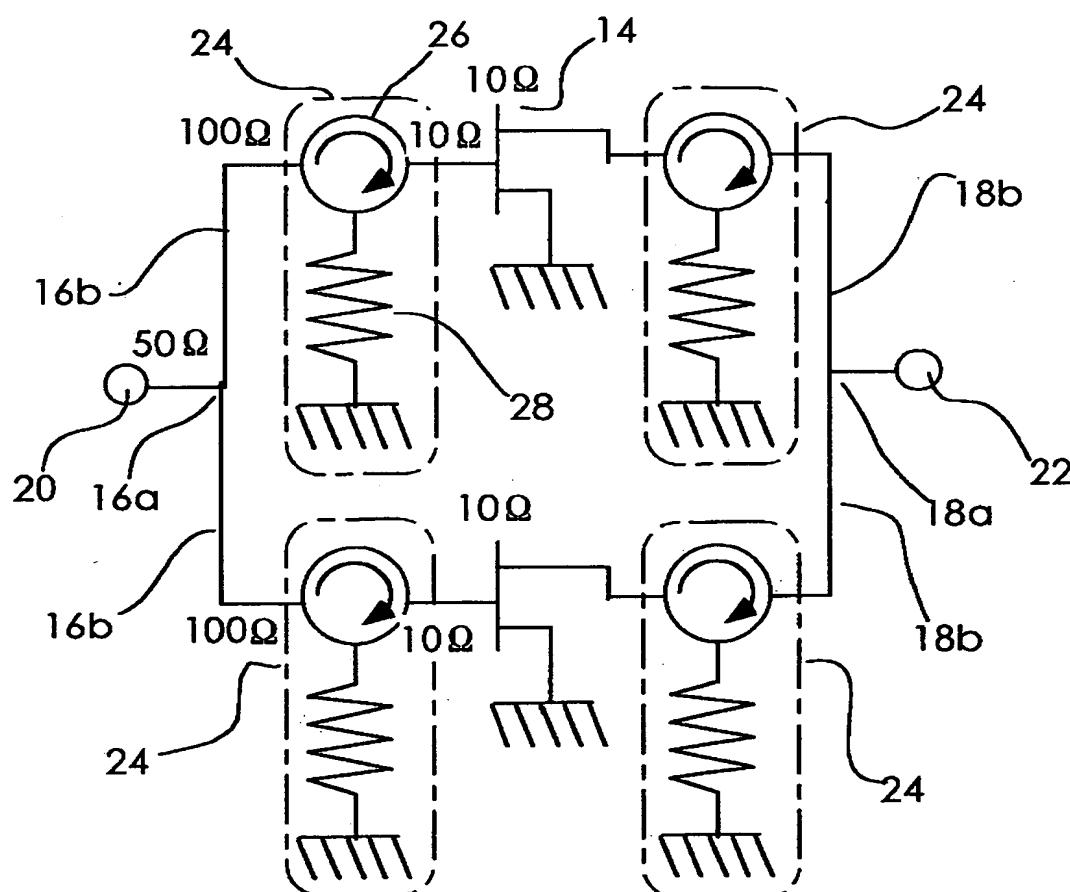
【図6】



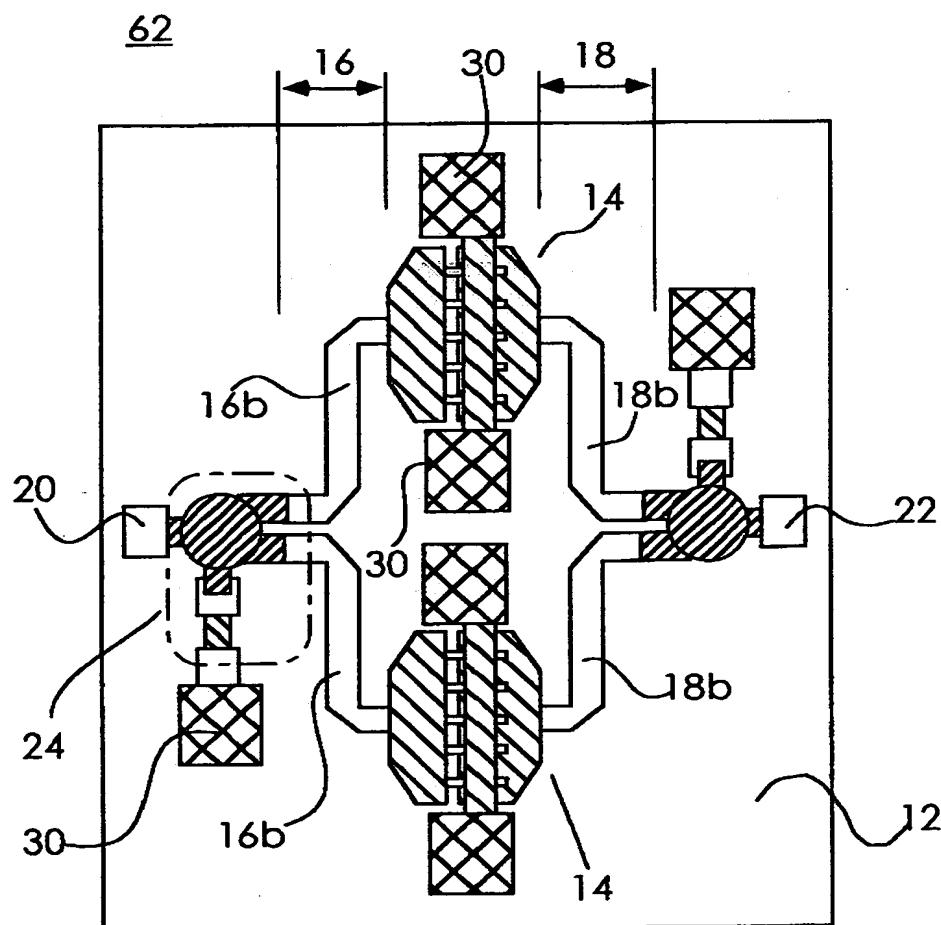
【図7】



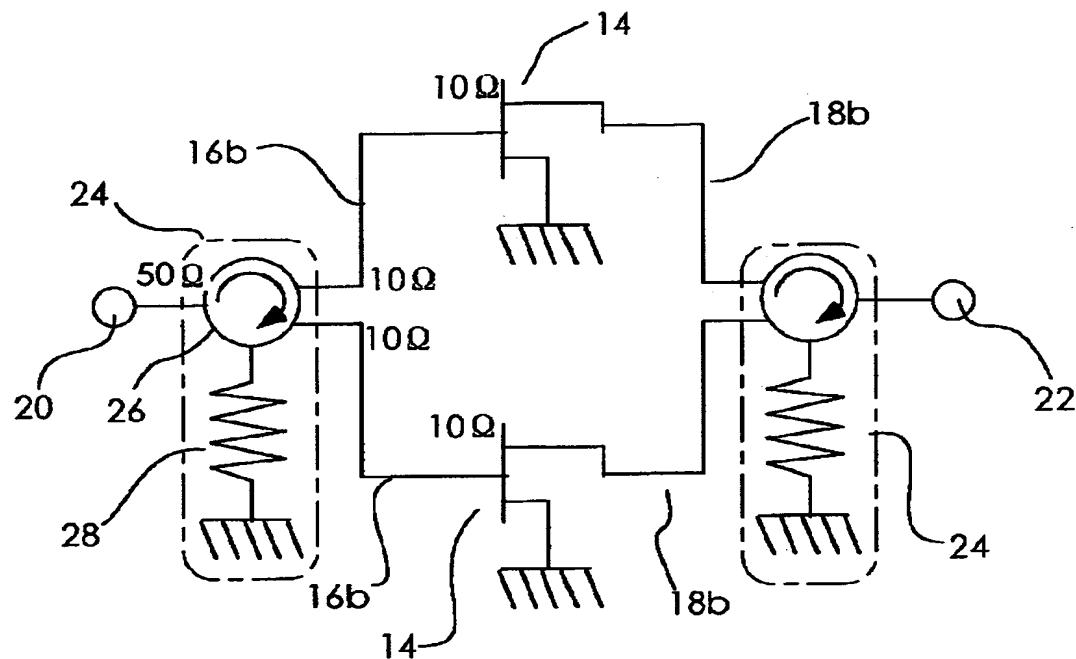
【図8】



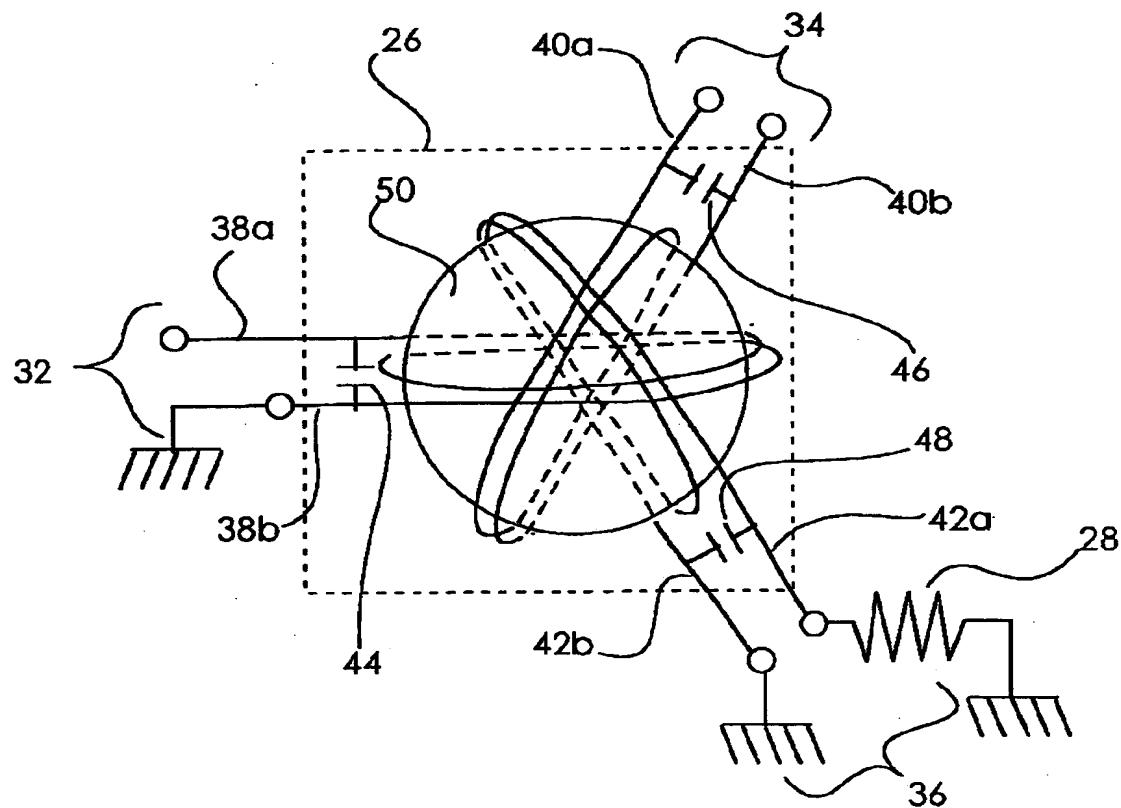
【図9】



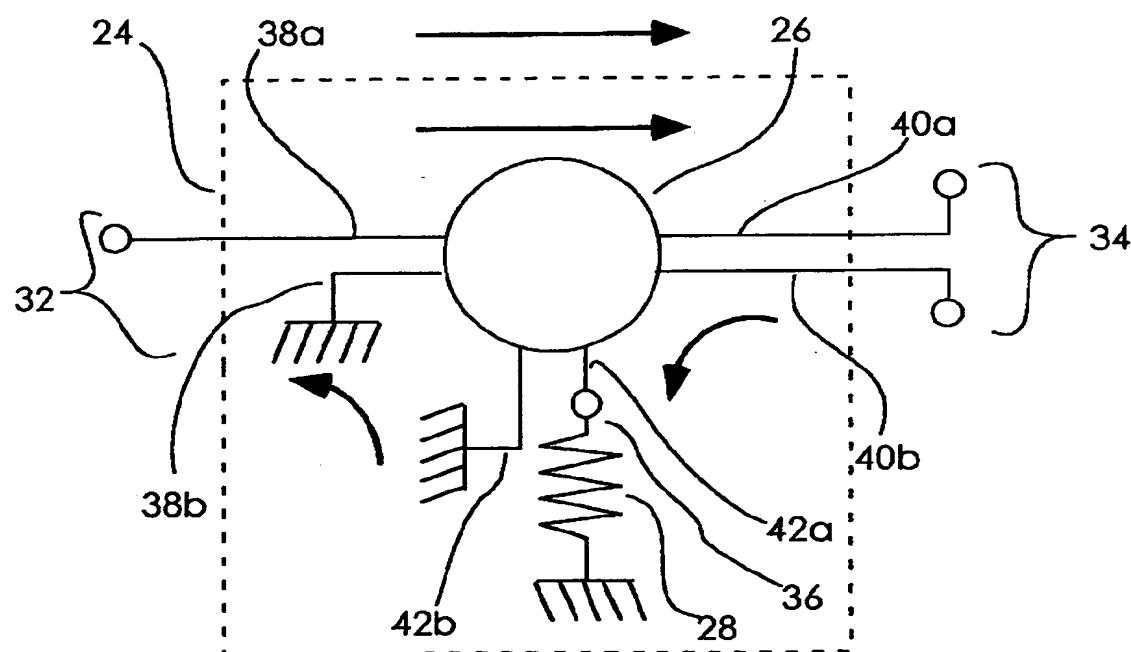
【図10】



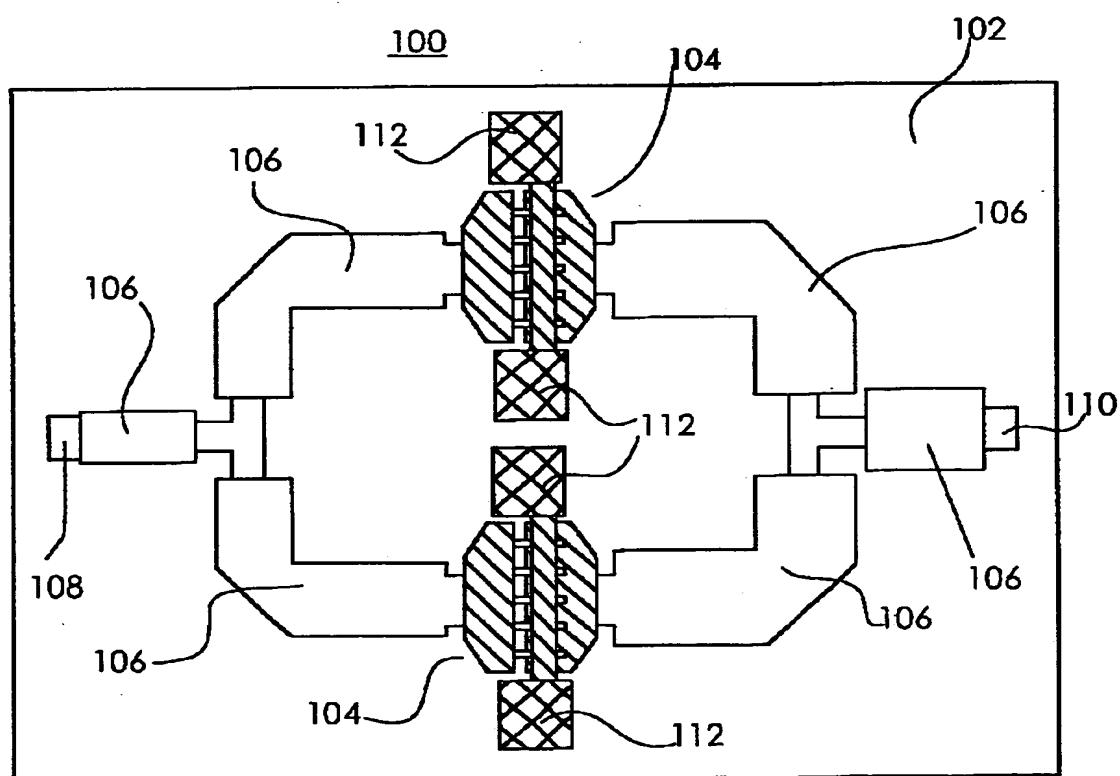
【図11】



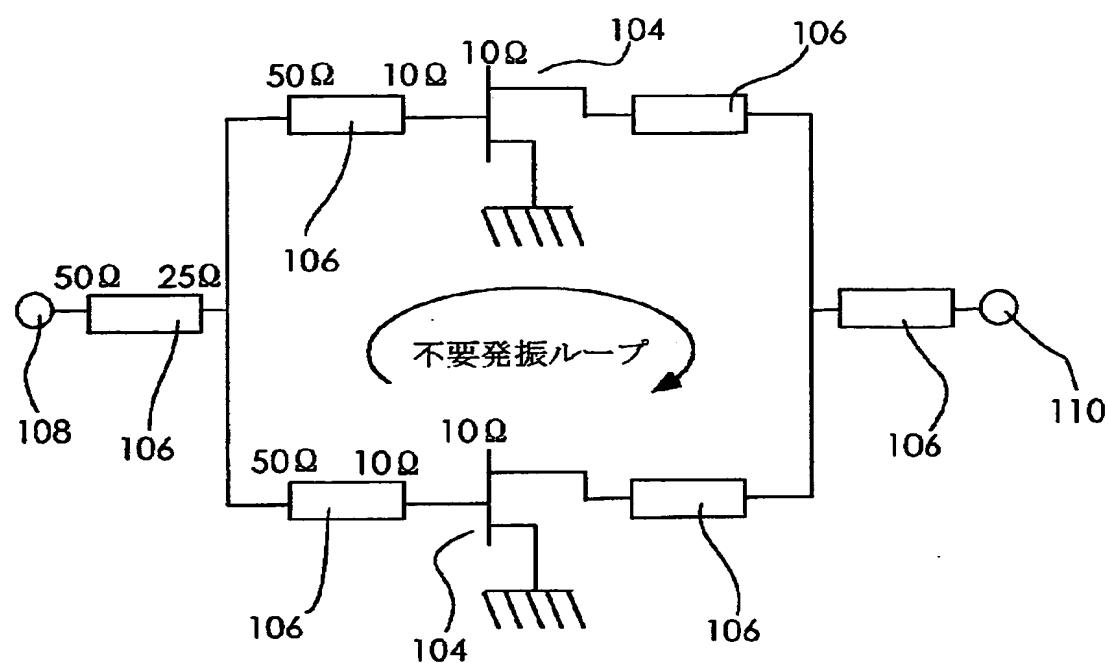
【図12】



【図13】



【図14】



【書類名】 要約書

【要約】

【課題】 分配回路と合成回路とを有する高周波回路装置に不要発振ループを構成し難くする。

【解決手段】 信号入力端20からの入力信号を分岐部16aを介して複数の第1の線路16bに分配する分配回路16と、複数の第2の線路18bからの入力信号を合流部18aを介して出力信号として合成し信号出力端22から出力する合成回路18と、分配回路16の第1の線路16bと合成回路18の第2の線路18bとの間に配設されたトランジスタ14とを有する高周波回路装置において、トランジスタ14と信号入力端20との間、及びトランジスタ14と信号出力端22との間にアイソレータ24を接続したものである。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社